

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/146	(11) 공개번호 특 1993-0018736 (43) 공개일자 1993년 09월 22일
(21) 출원번호 특 1993-0001669	
(22) 출원일자 1993년 02월 05일	
(30) 우선권주장 92-54322 1992년 02월 05일 일본(JP)	
(71) 출원인 가부시카기이사 한도오따미 예마루기 전큐쇼 아마자끼 순페이	
(72) 발명자 일본국 가나가와현 아쓰기시 하세 398 아마자끼 순페이	
	일본국 토요쿄 세타가야구 7조메-1 카타가라스야마 21-21 마세 아키라
	일본국 아이치현 오카자키시 이카조 3-75-3 히로카 마시마카
	일본국 가나가와현 이세하라시 시라네 533-10 다케무라 아스하고
	일본국 가나가와현 아쓰기시 하세 931-1 플랫 아쓰기 208 장홍용
	일본국 가나가와현 야마토시 흑카마다이 1-10-15 파レス 미야기미 302 우오치 히데키
(74) 대리인 일본국 가나가와현 아쓰기시 하세 931-1 플랫 아쓰기 105 황의만	

설사설구 : 있을

## (54) 반도체장치와 그 제작방법

## 요약

본 발명은 액티브 매트릭스형 전기광학장치, 특히 액티브 매트릭스형 전기광학장치등에 이용할 수 있고, 명확하고 소위상 특성을 갖는 결연게이트형 전자효과 트랜지스터의 구조 및 그 제작방법에 관한 것으로, 본 발명에서는 게이트 전극의 표면에 양극산화에 의한 결연막층을 설치하는 것으로, 채널길이를 게이트 전극의 채널 경계부의 길이 보다도 길게 되어, 채널영역의 양측부에 게이트 전극에 의한 전계가 걸리지 않는, 혹은 매우 약한 전계가 걸리는 오프셋 영역을 설치하거나, 혹은 같은 방법에 의해 동일한 효과를 갖는 비결정성의 물질을 반도체 영역을 설치할 수 있어, 멀바이어스지의 리크전류를 줄일 수 있고, 그 결과 종래에 꼭 필요했던 전자하뮤지 용량이 불필요하게 되어, 종래에 비해 개구율을 크게 향상시킬 수 있고, 보다 양호한 표시품질을 얻을 수 있는 반도체장치 및 그 제작방법이다.

## 도표도

## 도1

## 명세서

## (발명의 명칭)

## 반도체장치와 그 제작방법

## (도면의 간단한 설명)

제1도는 본 발명에 의한 반도체장치의 구조도.

제6도는 실시예 1에 있어서 액티브 매트릭스형 액정 전기광학장치의 회로도.

제9도는 본 발명에 의한 TFT의 특성에 및 그 동작원리를 나타내는 도면.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

## (7) 용구의 범위

청구항 1. 절연기판상에 적어도 반도체층, 절연막층 및 도체층을 갖는 절연게이트형 전자효과 트랜지스터에 있어서 채널길이가 게이트 전극의 채널 장방형의 길이 보다도 긴 점을 특징으로 하는 반도체장치.

청구항 2. 제1항에 있어서, 채널의 길이는 게이트 전극의 채널 장방형의 길이 보다도 게이트 전극 표면에 형성된 산화물층 두께의 2배 정도 긴 점을 특징으로 하는 반도체장치.

청구항 3. 절연기판상에 적어도 반도체층, 절연막층 및 도체층을 갖는 절연 게이트형 전자효과 트랜지스터의 제작방법에 있어서, 반도체층 및 게이트 절연막층을 형성한 후에 양극산화 가능한 재료에 의해 게이트 전극부를 형성한 후에, 상기 반도체층에 형화 또는 혼화시키는 물질을 이온을 주입하여 소스 또는 드레인 영역을 형성한 후에, 상기 게이트 전극부 표면을 양극산화하고, 그 후에 열처리 공정을 갖는 점을 특징으로 하는 반도체장치의 제작방법.

청구항 4. 금속이 게이트 전극과 그 게이트 전극을 둘러쌓아 형성된 양극 산화물층과, 반막형의 채널을 막과, 그 채널영역을 끼워 형성된 한쌍의 제1의 물질을 막과, 각 제1의 물질을 막에 인접한 제2의 물질을 영역을 갖는 점을 특징으로 하는 반막형의 절연게이트형 반도체장치.

청구항 5. 제4항에 있어서, 제1의 물질을 막은 비정질 상태의 점을 특징으로 하는 절연게이트형 반도체장치.

청구항 6. 제1항에 있어서, 그 반도체장치 절연기판상에 형성되고, 그 소스 혹은 드레인의 어느 한쪽은 커플시터 소자에 접속되어 있는 점을 특징으로 하는 반도체장치.

청구항 7. 제6항에 있어서, 그 반도체장치는 액정 표시장치 화소의 구동에 이용되는 점을 특징으로 하는 반도체장치.

청구항 8. 제4항에 있어서, 그 반도체장치는 절연기판상에 형성되고, 그 소스 혹은 드레인의 어느 한쪽은 커플시터 소자에 접속되어 있는 점을 특징으로 하는 반도체장치.

청구항 9. 1매의 기판상에 형성된 제1 및 제2의 MIS형 트랜지스터를 갖는 반도체장치에 있어서, 제1의 MIS형 트랜지스터의 게이트 전극의 측면 및/또는 윗면에 존재하는 게이트 전극을 구성하는 재료의 산화물로 이루어진 물체의 두께가 제2의 MIS형 트랜지스터의 것과 서로 다른 점을 특징으로 하는 반도체장치.

청구항 10. 제9항에 있어서, 반도체장치는 액티브 매트릭스형의 액정표시 장치인 점을 특징으로 한다.

청구항 11. 1매의 기판상에 시 적어도 하나의 MIS형 트랜지스터와, 상기 MIS형 트랜지스터의 게이트 전극과 같은 출내의 적어도 하나의 제1의 배선과, 상기 제1의 배선과는 서로 다른 출내에 존재하는 제2의 배선이 존재하고, 또한, 상기 제1 및 제2의 배선이 교점에서 교차하고 있는 반도체장치에 있어서, 상기 MIS형 트랜지스터의 게이트 전극의 측면 및/또는 윗면에 존재하는 게이트 전극을 구성하는 재료의 산화물로 이루어지는 물체의 두께가, 상기 교점에서 있어서 상기 제1의 배선의 측면 및/또는 윗면에 존재하는 것과 서로 다른 점을 특징으로 하는 반도체장치.

청구항 12. 1매의 기판상에 형성된 적어도 하나의 커플시터와, 상기 커플시터의 제1의 전극과 같은 출내의 제1의 배선과, 상기 커플시터의 제2의 전극과 같은 출내에 존재하는 제2의 배선이 존재하고, 또한 상기 제1 및 제2의 배선이 커플시터 이외의 교점에서 교차하고 있는 반도체장치에 있어서, 상기 커플시터의 제1의 전극 윗면에 존재하고, 그 제1의 전극을 구성하는 재료의 산화물로 이루어지는 물체의 두께가, 상기 교점에서 있어서 상기 제1의 배선의 측면 및/또는 윗면에 존재하는 것과 서로 다른 점을 특징으로 하는 반도체장치.

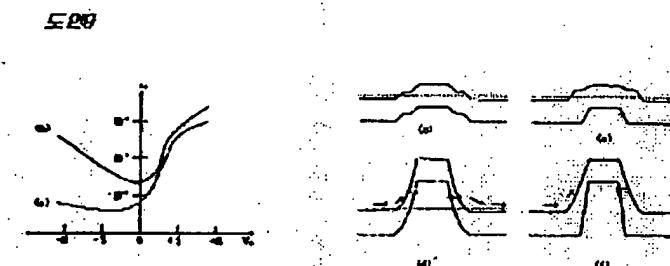
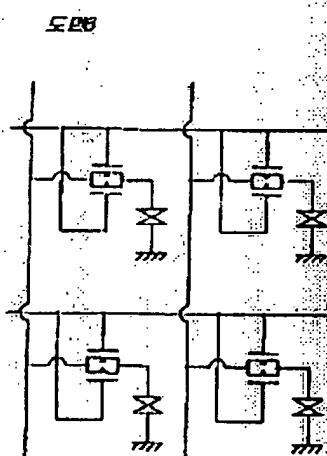
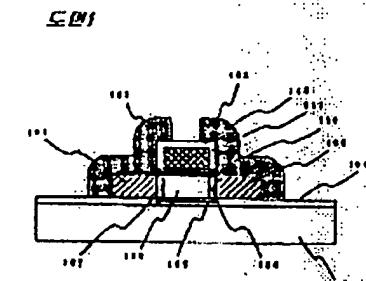
청구항 13. 기판상에 형성된 제1의 배선에 선택적으로 제1의 마스크재를 형성한 후, 제1의 배선을 산화하는 공정과, 상기 제1의 마스크재의 적어도 일부를 포함하는 역에 제2의 마스크재를 형성한 후, 제1의 배선을 산화하는 공정과, 상기 제1 및 제2의 마스크재를 제거한 후, 적어도 제1의 마스크재가 형성된 영역의 일부에 제2의 배선을 형성하는 공정을 갖는 점을 특징으로 하는 반도체장치의 제작방법.

청구항 14. 기판상에 형성되고, 그 표면이 산화된 제1의 배선에 선택적으로 마스크재를 형성한 후, 제1의 배선을 산화하는 공정과, 상기 마스크재를 제거한 후, 적어도 마스크재가 형성된 영역의 일부에 몬텍트홀을 형성하는 공정과, 상기 몬텍트홀의 적어도 일부에 제2의 배선을 형성하는 공정을 갖는 점을 특징으로 하는 반도체장치의 제작방법.

청구항 15. 기판상에 형성되고 그 표면이 산화된 제1의 배선을 선택적으로 예정한 후, 충간절연층을 형성하는 공정과, 상기 충간절연층에 몬텍트홀을 형성한 후, 제2의 배선을 형성하는 공정을 갖는 점을 특징으로 하는 반도체장치의 제작방법.

\* 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면



3-3

**BEST AVAILABLE COPY**